

# PLIEGO DE PRESCRIPCIONES TÉCNICAS PARA LA CONTRATACIÓN DEL SERVICIO DE PORTABILIDAD DE LA LIBRERÍA DYNINST A LA ARQUITECTURA RISC-V PARA EL PROYECTO BARCELONA ZETTASCALA LABORATORIO.

**Expediente: CONSER02024036OP**

## **OBJETO DEL CONTRATO, CONTENIDO Y CARACTERÍSTICAS DEL SERVICIO**

El contenido de estas prescripciones técnicas deriva del proyecto **Laboratorio Zettaescala BSC-CNS** en el marco del PLAN DE RECUPERACIÓN, TRANSFORMACIÓN Y RESILIENCIA del proyecto de desarrollo de las tecnologías para la generación de prototipados basados en tecnología RISC-V.

Con la mera presentación de su oferta, la empresa licitadora acepta las prescripciones técnicas establecidas en este pliego.

### **1. Motivación**

El objeto del siguiente pliego es definir las prescripciones técnicas para la contratación del servicio de desarrollo de la portabilidad de la librería de instrumentación dinámica *DynInst* a la arquitectura RISC-V junto con un conjunto mínimo de casos de usos de referencia.

El proyecto **Laboratorio Zettaescala BSC-CNS** tiene como principal objetivo el desarrollo de nuevas arquitecturas basadas en RISC-V y la propuesta de un conjunto de herramientas software que permita la plena utilización de las plataformas desarrolladas. Aunque la optimización del código generado específicamente para una arquitectura objetivo tiene lugar generalmente en el compilador (y en tiempo de compilación), existen oportunidades de utilizar herramientas en tiempo de ejecución que permitan la optimización del código generado.

A lo largo de los 42 meses de la duración actual del proyecto (entre diciembre de 2022 y junio de 2026) los diferentes equipos de trabajo estarán alineados a los hitos definidos por la *memoria técnica del proyecto* y las *memorias de actuación de las actividades desarrolladas* reportadas hasta el momento. Su actuación consiste en ejecutar un proyecto de desarrollo experimental que impulse la generación de investigación y desarrollo de tecnología española y europea en el ámbito de procesadores avanzados. El resultado de su ejecución serán dos prototipos de chip tecnológicamente compatibles con los futuros superordenadores europeos, y que también suponen los principales hitos del proyecto:

- **Hito 1** (previsto para el primer trimestre de 2025). Incluye todas las tareas que llevan al *tapeout* del primer chip y su puesta en marcha en una placa de evaluación. Junto con estas tareas, una primera versión del software adaptada a las características de este primer chip. De acuerdo con la planificación actual, se tiene previsto incluir un diseño con un número reducido de núcleos (entre 2 y 4) que permitirá comprobar el correcto funcionamiento de todos sus componentes hardware: procesador escalar, co-procesador vectorial (VPU, por

sus siglas en inglés), jerarquía de cache de 3 niveles, y otros componentes analógicos y periféricos.

- **Hito 2** (previsto para el primer trimestre de 2026). Incluye todas las tareas que llevan al *tapeout* del segundo chip y su puesta en marcha en una placa de evaluación. Junto con estas tareas, una versión optimizada del software adaptada a las características de este segundo chip. En este caso, el diseño incluirá más núcleos y permitirá demostrar la escalabilidad de la propuesta. El número final de núcleos dependerá del área disponible y el coste asociado, pero la planificación actual considera un mínimo de 16 núcleos organizados en una malla 4x4. Este prototipo permitirá ejecutar aplicaciones HPC tradicionales usando todos los núcleos del chip, demostrando el funcionamiento del diseño a gran escala.

## **2. Descripción del servicio**

La instrumentación dinámica permite la modificación del código binario de una aplicación informática, tanto en ejecución como en el disco. Los cambios aplicados pueden usarse con diferentes fines, desde la mera instrumentación a través de otras herramientas ya incluidas en la pila de software (e.g., *Extrac*), hasta cambios en la planificación de instrucciones o parámetros en tiempo de ejecución.

A parte de la portabilidad de la librería *DynInst* a la arquitectura RISC-V, el proyecto prevé la implementación, por parte de la empresa licitadora, de tres casos de uso piloto que permitan guiar el desarrollo del software del proyecto incluido en la pila de software, y evaluar y mejorar el rendimiento de códigos sobre la plataforma. A continuación, detallamos las posibles aplicaciones, así como los casos de uso de interés contemplados.

En cuanto a la instrumentación a través de otras herramientas, la librería de instrumentación *Extrac* ya ha utilizado en el pasado la existencia de la librería *DynInst* en otras arquitecturas para la generación de la traza *Paraver*. La portabilidad del componente *DynInst* a la arquitectura RISC-V habilitará este mecanismo de instrumentación. Este mecanismo de instrumentación no constituye un caso de uso a desarrollar ya que *Extrac* posee experiencia previa en el uso de la interfaz de programación de *DynInst*.

En cuanto a la instrumentación de código por sí mismo, *DynInst* permitiría la generación de un perfil de rendimiento de un determinado código basado en bloques básicos. Este perfil incluiría información tal como: el número de veces que se ejecuta un bloque básico y su duración. También podría decorarse con otra información que el equipo del compilador pueda considerar de interés para su uso en una nueva compilación, esta vez guiada, del código objetivo. Este perfil de rendimiento basado en bloques básicos constituye el primer caso de uso de interés.

*DynInst* también permitiría la re-planificación de instrucciones en el código binario generado. Un ejemplo sería avanzar las instrucciones de memoria (*load* y *store*) incrementando el rendimiento de la ejecución de códigos; especialmente en arquitecturas con un ancho de banda limitado, con capacidades limitadas en cuanto a la ejecución fuera de orden, y/o que permitan pocas

instrucciones de memoria en vuelo. La re-planificación de instrucciones constituye el segundo caso de uso de interés.

Finalmente, DynInst también podría permitir la modificación de valores de control del código. Un ejemplo sería la modificación del parámetro *vector lenght* (i.e., longitud del vector) en el conjunto de instrucciones VLEN. En determinados casos, el valor óptimo de este parámetro no tiene por qué coincidir con el máximo permitido por la arquitectura. La modificación de valores de control del código constituye el tercer, y último, caso de uso de interés.

Durante el desarrollo del proyecto se podrán acordar con la empresa licitadora otros casos de uso que permitan el desarrollo de nuevas formas de instrumentación y/o mejoras de rendimiento. El proceso de licitación también contempla la propuesta de casos de usos adicionales.

Se estima que la empresa licitadora necesitará destinar un mínimo de dos personas para la correcta ejecución del proyecto: un analista de software (supervisor) y un desarrollador de software. Se deja a discreción de la empresa licitadora la formación de equipos

### **3. Procedimiento para la ejecución de los servicios, seguimiento y control**

El adjudicatario se responsabilizará de la portabilidad de la librería DynInst así como el desarrollo de los diferentes casos de uso finalmente acordados en la contratación de este servicio.

El adjudicatario proporcionará acceso a la documentación necesaria de la librería DynInst que facilite el desarrollo e implementación de las herramientas que exploten los casos de uso finalmente acordados en la contratación de este servicio.

El adjudicatario proporcionará acceso a la versión de la librería DynInst estable más actualizada a partir de Hito-2: *“Versión parcial de la portabilidad de la librería”* y hasta el final del servicio.

El adjudicatario realizará todos los esfuerzos comercialmente factibles y razonables para entregar una versión de la librería plenamente funcional en Hito-3: *“Versión candidata final de la portabilidad”*.

El seguimiento y control del desarrollo del servicio requerirá la coordinación entre el equipo técnico del BSC-CNS y el adjudicatario. Por este motivo, el BSC-CNS designará una persona responsable dentro de su organización. De la misma manera, el adjudicatario tiene que disponer de una persona gestor de servicio, el cual será el interlocutor ante el responsable designado por el BSC-CNS.

Estas personas deben reunirse con una periodicidad mínima MENSUAL para supervisar, controlar y tratar cualquier aspecto vinculado con el desarrollo del contrato, a fin de asegurar que se está ejecutando de conformidad con este pliego.

### **4. Principio de no causar daño significativo (DNSH)**

El contratista está obligado al cumplimiento de las obligaciones asumidas por la aplicación del principio de no causar un daño significativo (DNSH). El contratista, en cumplimiento con lo dispuesto en el Plan de Recuperación, en el Reglamento (UE) 2021/241 de 12 de febrero de 2021 por el que se establece el Mecanismo de Recuperación y Resiliencia, y su normativa de desarrollo, en particular la Comunicación de la Comisión (2021/C 58/01) Guía técnica sobre la aplicación del principio de no causar un perjuicio significativo, así como con lo requerido en la Decisión de Ejecución del Consejo relativa a la aprobación de la evaluación del Plan de recuperación y resiliencia de España (CID), queda obligado a que todas las actuaciones financiadas que se llevarán a cabo en el marco de este contrato, deben respetar el principio de no causar un perjuicio significativo al medio ambiente (principio DNSH por sus siglas en inglés, “*Do No Significant Harm*”). Ello incluye el cumplimiento de las condiciones específicas previstas en el componente 15, Inversión C15.I5 en la que se enmarca y especialmente en el Anexo a la CID y las recogidas en los apartados 3 y 8 del documento del Componente del Plan.

### **5. Otras condiciones particulares**

A la finalización del contrato, se podrá solicitar la emisión de un informe con todas las actuaciones efectuadas, el cual deberá ser entregado por el adjudicatario en el plazo de un mes a contar desde el día siguiente al que reciba la solicitud.

**Xavier Teruel**  
*Investigador Reconocido  
en el grupo Best Practices for Performance and Programmability  
del departamento de Computer Sciences*

Barcelona, 09 de septiembre de 2024