



CONSORCI PER A LA CONSTRUCCIÓ, EQUIPAMENT I EXPLOTACIÓ DEL LABORATORI DE LLUM SINCROTRÓ
CONSORCIO PARA LA CONSTRUCCIÓN, EQUIPAMIENTO Y EXPLOTACIÓN DEL LABORATORIO DE LUZ SINCROTRÓN

Asunto: **Consultas de licitadores 1**

Tipo de contrato: Suministros

Procedimiento: Abierto, armonizado

Número expediente: 15/22

Título: Suministro del sistema digital de baja potencia de radiofrecuencia (DLLRF) para el anillo de almacenamiento del Laboratorio de Luz Sincrotrón ALBA del CELLS, enmarcado en el Plan de recuperación, Transformación y Resiliencia (PRTR), financiado por la Unión Europea – *NextGenerationEU* – Referencia ayuda: ICT2022-007864

1. **Cuando se define un requisito de retardo de grupo de 1us, ¿a qué refiere exactamente? ¿Tiempo de adquisición y generación de la señal (ADC+FPGA+DAC)?**

RESPUESTA: Sí. Por ejemplo, un componente VHDL que reproduce en la salida una señal de entrada no debería retrasarse más de 1us respecto a la entrada.

2. **Con respecto a la estabilidad en amplitud y fase de la salida, ¿los requisitos se corresponden a valores de medida en lazo abierto? ¿Para qué nivel de señal se definen esos requisitos?**

RESPUESTA: Sí, en lazo abierto para un rango dinámico de 20dB.

3. **En la página 19 del documento del pliego de prescripciones técnicas se incluye una tabla con valores del reloj externo. ¿Se corresponden estos valores a la Fref del sistema? ¿Podrían aportar información sobre el phase noise del mismo? ¿Por qué la frecuencia definida es 125MHz o más y no un valor concreto?**

RESPUESTA: No sabemos muy bien a qué se refieren con la Fref del sistema. Nosotros por "External Clock" entendemos la capacidad del sistema de recibir una señal externa para commutar la FPGA, para poder tomar medidas de los ADCs y escribir la salida en el DAC, etc. El sistema ha de ser capaz de conmutar al menos a 125MHz.

El phase noise del external clock actualmente instalado es, a 125MHz:

| | |
|----------|--------------|
| at 10Hz | -60 dBc/Hz |
| at 100Hz | -100 dBc/Hz |
| >1kHz | <-130 dBc/Hz |

4. **Se pide un mínimo de 16 canales ADCs, ¿en este mínimo está incluido el canal para digitalizar la entrada de Fref? ¿Cuántos de los canales de los ADCs son puramente de monitorización? ¿Podrían usarse medidores de potencia en lugar de ADCs para estas señales de monitorización pura?**

RESPUESTA: Una vez mas, no tenemos claro a lo que se refieren por Fref. El canal "External Clock" es un canal aparte de los demas ADCs, por tanto, no, no está incluido. No pueden usarse medidores de potencia, se requieren los 16 ADCs.



5. **¿Existe algún requisito de ocupación de la FPGA? Como no se propone ninguna FPGA, es por saber si hay valores de la ocupación del proyecto para ser integrado dentro de la FPGA.**

RESPUESTA: En el tender esta especificada la familia de la FPGA, en la tabla 3, cualquiera de la familia, o mejor, cumple los requisitos.

6. **El número mínimo de GPIOs es 50. ¿Existe alguna restricción sobre su localización (parte frontal o parte trasera) o el tipo de conector a usar?**

RESPUESTA: La única restricción es que estén todos en la misma parte, o la frontal o la trasera. Un conector comercial, que integre todos los GPIOs, es preferible.

7. **¿Se valorarán positivamente propuestas en la arquitectura que reduzcan espacio y simplifiquen la arquitectura, como uso de SoCs u otro tipo de propuestas no incluidas en la descripción técnica?**

RESPUESTA: No, es un aspecto no valorado en la especificaciones.

8. **¿Para el DLLRF a 500MHz es posible hacer la adquisición de RF usando direct-sampling en lugar de IF o es obligatorio pasar a IF?**

RESPUESTA: No, en el tender ya esta especificado, tiene que ser "downconversion to IF".

9. **Tenemos una duda con respecto al criterio medioambiental: coste del ciclo de vida. Para que se pueda puntuar este apartado ¿Es necesario cumplimentar la herramienta desarrollada para este fin "SMART SPP project"?. O de lo contrario ¿Podríamos aportar el cálculo de huella de carbono a través de las herramientas que facilita el Ministerio? Igualmente la empresa dispone de un sistema medio ambiental certificado según la normativa ISO 14001:2015 pero no sabemos sin con aportar las certificaciones podemos obtener puntuación en el citado apartado.**

RESPUESTA: Le informamos de que tal como esta establecido en los criterios de adjudicación, y en virtud del principio de igualdad de trato entre todos los licitadores, la herramienta para presentar el cálculo de los datos del criterio del coste de ciclo de vida debe ser la indicada: *SMART SPP project*.

Por otro lado, indicarle que disponer de un sistema medioambiental certificado no es válido para valorar el criterio, dado que es un documento obligatorio que el propuesto adjudicatario debe acreditar (apartado D.5 y J) del cuadro de características del PCAP.